

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-138972

⑬ Int.Cl.³

H 01 L 27/04
21/82

識別記号

A

庁内整理番号

7514-5F

⑭ 公開 平成3年(1991)6月13日

8225-5F H 01 L 21/82

P

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 集積回路装置

⑯ 特 願 平1-276501

⑰ 出 願 平1(1989)10月24日

⑱ 発 明 者 金 杉 昭 徳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

ウエハ上に配設されたI/Oセルとパッドとを有し、

該I/Oセルは内部回路とパッド間に接続されるものであり、

該パッドは外部導出電極であって複数のI/Oセルに隣接して配置され、該パッドの数はI/Oセルの数より多く、該パッドの面積はパッドを用途別に分類したとき機能上必要とする面積が最小であるパッドの面積と同じであり、該パッドは用途に応じて1個又は複数個が1個のI/Oセルに接続されていることを特徴とする集積回路装置。

3. 発明の詳細な説明

〔概要〕

集積回路装置、特にウエハ集積回路を構成する

集積回路ブロック上のパッドに関し、

集積回路ブロック上に形成するパッドの構成と配置を適正化することにより集積回路ブロックを小型化することを目的とし、

ウエハ上に配設されたI/Oセルとパッドとを有し、該I/Oセルは内部回路とパッド間に接続されるものであり、該パッドは外部導出電極であって複数のI/Oセルに隣接して配置され、該パッドの数はI/Oセルの数より多く、該パッドの面積はパッドを用途別に分類したとき機能上必要とする面積が最小であるパッドの面積と同じであり、該パッドは用途に応じて1個又は複数個が1個のI/Oセルに接続されているように構成する。

〔産業上の利用分野〕

本発明は集積回路装置、特にウエハ集積回路を構成する集積回路ブロック上のパッドに関する。

近年、半導体装置の大規模化にともないウエハ集積回路が検討されるようになり、本発明は特にウエハ集積回路を構成する集積回路ブロック上に

形成するパッドの構成と配置に適用でき、集積回路ブロックの小型化に有効である。

〔従来の技術〕

ウエハ集積回路は、一枚の半導体ウエハ上に複数の集積回路ブロックを形成し、これらの集積回路ブロックを個々に切り離さないで相互配線を行って製造されている。

第2図は従来の集積回路ブロック内のパッドとI/Oセルの配置の一部を示す平面図である。

図において、1はI/Oセルで、1Aは入力用I/Oセル、1Bは電源用I/Oセル、1Cは入力用I/Oセル、1Dは出力用I/Oセルであり、

2はパッドで、2Aは入力パッド、2Bは電源パッド、2Cは入力パッド、2Dは出力パッドである。

通常の集積回路ブロック内には、I/Oセル1とパッド2は同数であり、I/Oセル1とパッド2は1対1に対応し、パッド2は集積回路ブロックの周囲に電源も、出力も、入力もすべて同じ面積を持って、それぞれのI/Oセルに対応して配置され

機能上必要とする面積が最小であるパッドの面積と同じであり、該パッドは用途に応じて1個又は複数個が1個のI/Oセルに接続されている集積回路装置により達成される。

〔作用〕

本発明は、集積回路ブロックのパッドとして、従来のパッドより小さい面積のパッドをI/Oセルの数より多く配置し、それらを用途に応じて1個又は2個以上接続して使用することにより、大面積を必要とする電源及び出力パッドは従来どおりの面積を確保しつつ、入力パッドの面積を縮小することにより、集積回路ブロックの面積を小さくするようにしたものである。

〔実施例〕

第1図は本発明の一実施例による集積回路ブロック内のパッドとI/Oセルの配置の一部を示す平面図である。

図において、1はI/Oセルで、1Aは入力用I/O

セル、1Bは電源用I/Oセル、1Cは入力用I/Oセル、1Dは出力用I/Oセルであり、

〔発明が解決しようとする課題〕

従来のウエハ集積回路は、従来例のような通常の集積回路ブロックを搭載していた。このため必要以上に大きな面積をパッドに割り当てる必要があり、従って搭載する集積回路ブロックの小型化を困難にしていた。

本発明は集積回路ブロック上に形成するパッドの構成と配置を通正化することにより集積回路ブロックを小型化することを目的とする。

〔課題を解決するための手段〕

上記課題の解決は、ウエハ上に配設されたI/Oセルとパッドとを有し、該I/Oセルは内部回路とパッド間に接続されるものであり、該パッドは外部導出電極であって複数個のI/Oセルに隣接して配置され、該パッドの数はI/Oセルの数より多く、該パッドの面積はパッドを用途別に分類したとき

セル、1Bは電源用I/Oセル、1Cは入力用I/Oセル、1Dは出力用I/Oセルであり、

3はパッドで、I/Oセルに対して2個ずつ対応して集積回路ブロックの周囲に配置され、3Aは入力パッド、3B、3C、3D、3Eは相互に接続されて電源パッド、3Fは入力パッド、3G、3Hは相互に接続されて出力パッドを構成している。

実施例の集積回路ブロック内には、パッド3はI/Oセル1の数の2倍の数が用意され、入力用I/Oセルには1個のパッドが接続され、電源等大面積を必要とするI/Oセルには複数のパッドが接続される。

これにより、全体として最小限度のパッド面積で同等の機能が保証されるので、集積回路ブロックの小型化が可能になる。

なお、図示されていないが、各I/Oセルは集積回路装置の内部回路に接続されている。

実施例では、パッド数をI/Oセル数の2倍にしたが、この倍数に限らなくてもよい。

又、実施例ではウエハ集積回路を構成する集積

回路ブロックについて説明したが、通常の集積回路装置に適用しても発明の構成、作用から考えて効果は同等である。

第3図は集積回路ブロックの全体の配置の一例を示す平面図である。

図は通常のマイクロプロセッサで、4は内部メモリであり、メモリ管理ユニット5は外部メモリからのデータを演算回路6に送るタイミングを制御するものであり、レジスタ3は演算回路6との間で一時データを記憶する高速メモリであり、制御回路9はマイクロプロセッサ内のデータのやりとりのタイミングを制御するものであり、7はバスインターフェイスである。

第4図(1)～(4)は一般的な各I/Oセルの回路図である。

第4図(1)は入力用I/Oセルで、基本的には図のような増幅回路である。この他に、実際には保護回路やレベル変換回路が入る。

第4図(2)は出力用I/Oセルで、基本的には入力セルと逆向きになる。

第4図(3)、(4)は電源用I/Oセルで、一般にI/Oセルの上には電源ライン V_{DD} 、 V_{SS} が通っており、電源パッドは第4図(4)のようにこれらの電源ラインに接続される。従って、電源用I/Oセルはその領域にトランジスタ等が準備されていても潰されることが多い。

(発明の効果)

以上説明したように本発明によれば、集積回路ブロック上に形成するパッドの構成と配置を適正化することにより集積回路ブロックを小型化することができた。

4. 図面の簡単な説明

第1図は本発明の一実施例による集積回路ブロック内のパッドとI/Oセルの配置の一部を示す平面図。

第2図は従来の集積回路ブロック内のパッドとI/Oセルの配置の一部を示す平面図。

第3図は集積回路ブロックの全体の配置の一例

を示す平面図。

第4図(1)～(4)は一般的な各I/Oセルの回路図である。

図において、

1はI/Oセル、

1Aは入力用I/Oセル、

1Bは電源用I/Oセル、

1Cは入力用I/Oセル、

1Dは出力用I/Oセル、

3はパッド、

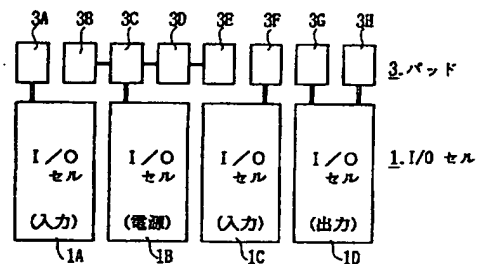
3Aは入力パッド、

3B、3C、3D、3Eは相互に接続されて電源パッド、

3Fは入力パッド、

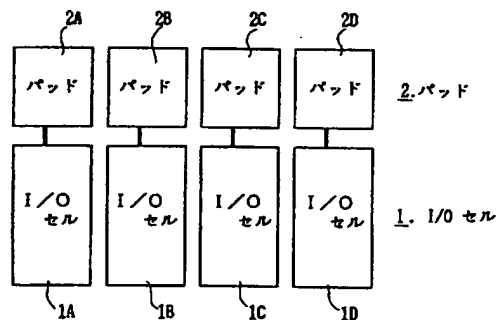
3G、3Hは相互に接続されて出力パッドである。

代理人 弁理士 井桁貞一



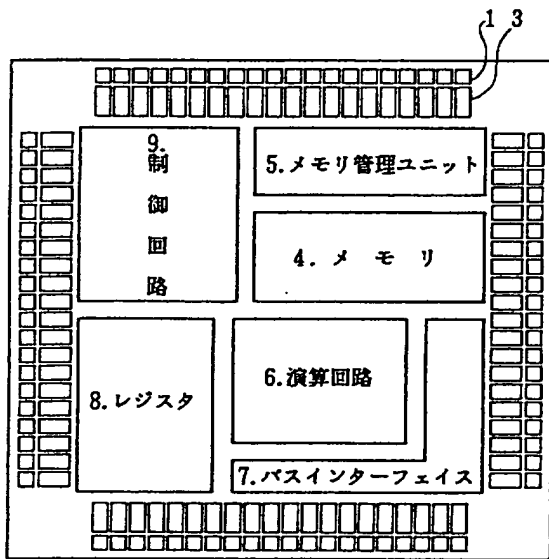
実施例の平面図

第 1 図

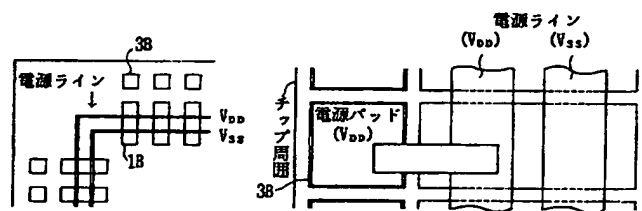
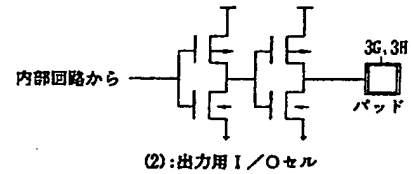
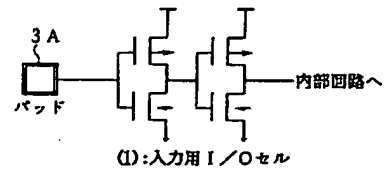


従来例の平面図

第 2 図



集積回路ブロックの一例を示す平面図
第 3 図



各 I/O セルの回路図
第 4 図

PAT-NO: JP403138972A
DOCUMENT-IDENTIFIER: JP 03138972 A
TITLE: INTEGRATED CIRCUIT DEVICE
PUBN-DATE: June 13, 1991

INVENTOR-INFORMATION:
NAME
KANASUGI, AKINORI

ASSIGNEE-INFORMATION:
NAME COUNTRY
FUJITSU LTD N/A

APPL-NO: JP01276501
APPL-DATE: October 24, 1989

INT-CL (IPC): H01L027/04, H01L021/82
US-CL-CURRENT: 257/203, 257/786

ABSTRACT:

PURPOSE: To miniaturize an integrated circuit block by increasing the number of pads over the number of I/O cells, and putting the area of each unit pad to the minimum area required in view of function, and connecting one or more pieces of pads to one I/O cell according to application.

CONSTITUTION: The number of pads 3 is larger than the number of I/O cells 1, and the area of each pad 3A-3H is the same as the area of a pad where the are required in view of function is the minimum, and one or plural pieces are connected to one I/O cell 1 according to application. By

arranging pads of
smaller areas, more than the number of I/O cells this way,
and connecting one
or more pieces of them according to application prior to
use, the area of an
input pad can be reduced while preserving the traditional
areas concerning a
power source and an output pad requiring large area, and
the area of an
integrated circuit block can be made small.

COPYRIGHT: (C)1991,JPO&Japio